

Microcap wafer-lev I packag

Patent Number: EP1070677

Publication date: 2001-01-24

Inventor(s): BELL TRACY E (US); DESAI YOGESH M (US); GEEFAY FRANK S (US); RUBY RICHARD C (US)

Applicant(s): AGILENT TECHNOLOGIES INC (US)

Requested Patent: JP2001068580

Application Number: EP20000107697 20000410

Priority Number(s): US19990359844 19990723

IPC Classification: B81B7/00

EC Classification: B81B7/00F5

Equivalents: US6265246

Cited Documents:

Abstract

A microcap wafer-level package (10) is provided in which a micro device (14) is connected to bonding pads (16, 18) on a base wafer (12). A peripheral pad (20) on the base wafer (12) encompasses the bonding pads (16, 18) and the micro device (14). A cap wafer (24) has gaskets (22, 34, 36) formed thereon using a thick photoresist, semiconductor photolithographic process. Bonding pad gaskets (34, 36) match the perimeters of the bonding pads (16, 18) and a peripheral pad gasket (22) matches the peripheral pad (20) on the base wafer (12). Wells (56, 58) are located inside the perimeters of the bond pad gaskets (34, 36) and are formed to a predetermined depth in the cap wafer (24). The cap wafer (24) is then placed over the base wafer (12) to cold weld bond the gaskets (22, 34, 36) to the pads (16, 18, 20) and form a hermetically sealed volume (25) between the bonding pad gaskets (34, 36) and the peripheral pad gasket (22). The cap wafer (24) is then thinned below the predetermined depth until the wells (56, 58) become through holes (26, 28) that provide access to the bonding pads (16, 18) inside the package (10), but outside the hermetically sealed volume (25), for connecting wires (30, 32) from a



micro device utilizing system.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68580

(P2001-68580A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int. C1.⁷

H O 1 L 23/06
23/02
23/14
25/065
25/07

識別記号

F I

テーマコード(参考)

H O 1 L 23/06
23/02
23/14
25/08

Z
C
S
B

審査請求 未請求 請求項の数 8

O L

(全 8 頁)

最終頁に続く

(21) 出願番号 特願2000-222127 (P2000-222127)

(22) 出願日 平成12年7月24日 (2000.7.24)

(31) 優先権主張番号 09/359844

(32) 優先日 平成11年7月23日 (1999.7.23)

(33) 優先権主張国 米国 (U.S.)

(71) 出願人 399117121

アジレント・テクノロジーズ・インク
A G I L E N T T E C H N O L O G I E
S, I N C.

アメリカ合衆国カリフォルニア州パロアル
ト ページ・ミル・ロード 395

(72) 発明者 リチャード・シー・ラビー

アメリカ合衆国カリフォルニア州94025,
メンロ・パーク, ナインス・アベニュー
一 567

(74) 代理人 100099623

弁理士 奥山 尚一 (外2名)

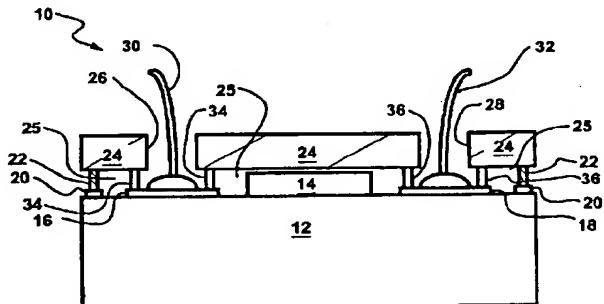
最終頁に続く

(54) 【発明の名称】 ウエハパッケージの製造方法

(57) 【要約】

【課題】 封止部材中に電気接続を通すことなくウエハレベルパッケージの気密封止に高い信頼性を保証し、ウエハを以前可能であったよりも薄くすることを可能とするウエハパッケージの製造方法を提供する。

【解決手段】 マイクロデバイス14がベースウエハ12上のボンディングパッド16、18に接続しているマイクロキャップ・ウエハレベルパッケージとし、マイクロデバイス14を利用する装置の導体が接続できるよう、マイクロキャップ24はウエル26、28がパッケージ内ではあるが気密封止の外にあるボンディングパッド16、18へと通じるスルーホールになるまで、予め決められた深さの下まで薄く削ることとした。



【特許請求の範囲】

【請求項1】 第一のウエハ、第二のウエハ及びマイクロデバイスを設けるステップと、前記第一のウエハ上にポンディングパッドと前記ポンディングパッドを取り囲む周縁パッドとを形成するステップと、前記第二のウエハ上に、前記ポンディングパッドの周縁と実質的に整合する第一の封止部材、及び前記第一の封止部材を取り囲み、前記周縁パッドと整合する第二の封止部材を形成するステップと、前記第二のウエハ中にウエルを形成するステップと、前記第一及び第二のウエハを合わせ、前記第一及び第二の封止部材を使ってポンディングし、前記ポンディングと前記周縁パッドを利用して間に気密封止容量を形成するステップであって、前記ウエルが前記ポンディングパッド上に来るよう前記第二のウエハを配置することができ、前記マイクロデバイスが前記封止部材の間の前記気密封止容量中にあるステップと、そして、前記第二のウエハの一部を除去することにより前記ウエルを前記第二のウエハ中のスルーホールとするステップであって、前記スルーホールを前記第一のウエハ上のポンディングパッドへと通じさせたステップとを含むウエハパッケージの製造方法。

【請求項2】 前記第一及び第二の封止部材を形成するステップが、前記第二のウエハ上にシード層を形成するステップと、前記シード層を加工してその上に封止パターンのフォトレジストを残すステップと、前記封止パターンのフォトレジストを利用して前記封止部材を前記シード層上へと堆積させるステップと、前記封止パターンのフォトレジストを除去するステップと、そして、その前には前記封止パターンのフォトレジスト下にあったシード層部分を除去するステップとを含む請求項1に記載のウエハパッケージの製造方法。

【請求項3】 前記第二のウエハ中に前記ウエルを形成するステップが、前記第二のウエハを加工してその上にウエルパターンのフォトレジストを残すステップと、前記ウエルパターンのフォトレジストを利用して、前記第二のウエハ中に予め決められた深さのウエルを形成するステップと、そして、前記ウエルパターンのフォトレジストを除去するステップとを含む請求項1に記載のウエハパッケージの製造方法。

【請求項4】 ポンディングが低温下で圧縮荷重をかけて実施され、これにより前記第一の封止部材が前記ポンディングパッドへと冷間圧接され、前記第二の封止部材が前記周縁パッドへと冷間圧接される請求項1に記載のウエハパッケージの製造方法。

【請求項5】 前記ウエハパッケージをマイクロデバイス使用装置中に配置するステップと、そして、前記マイクロデバイス使用装置と前記第一のウエハ上にあるポンディングパッドとを接続するステップを含む請求項1に記載のウエハパッケージの製造方法。

【請求項6】 前記ウエハの一方に凹部を画定し、これにより丈高のマイクロデバイスを収容できるようにするステップを含む請求項1に記載のウエハパッケージの製造方法。

【請求項7】 前記マイクロデバイスを設けるステップが、前記第一及び第二のウエハのうちの少なくとも一方を加工して前記マイクロデバイスをその中に形成するステップを含む請求項1に記載のウエハパッケージの製造方法。

10 【請求項8】 前記第一及び第二の封止部材を形成するステップにおいて、前記封止部材を、金、シリコン、アルミニウム、銅、銀、これらの合金及びこれらの化合物から構成されるグループの中から選択された1つの材料を用いて形成する請求項1に記載のウエハパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はウエハレベルのパッケージング技術に関するものであり、より具体的には半導体のウエハパッケージの製造方法に関する。

【0002】

【従来の技術】 半導体デバイスをパッケージングするために数多くのウエハ対ウエハポンディング技術が現在利用されている。利用されている技術の中には、シリコン対ガラス陽極ポンディングやシリコン対シリコン融着ポンディング、そして中間材料を実際のポンディング媒体として利用したウエハ対ウエハポンディングが含まれる。このような中間材料には二酸化珪素や金、インジウム、アルミニウム等の軟質金属が含まれ、これらは電気的、熱的及び/又は圧接技術を利用してポンディングされている。

【0003】

【発明が解決しようとする課題】 これら全ての技術には様々な問題がある。ガラスウエハをシリコンウエハに陽極ポンディングする場合は高電圧を使用するが、これがシリコンウエハ上の電子回路に悪影響を及ぼす可能性がある。同様にシリコン対シリコンポンディングもまた、非常に高い電圧及び高温で実施しなければならない。これら技術のいずれも、ポンディングに要する温度よりも低い融点を持つ金属を溶かしてしまう可能性があり、したがって、シリコンウエハ上の半導体デバイスが特定の種類のものである場合には利用できない。ガラスフリット等のような材料は相対的に大きいポンディング面積を要し、この結果ダイサイズが大きくなつて一枚のウエハ上に作成できるデバイスの数が限定されてしまう。さらにこれらの技術の中にはパッケージングされたデバイスの気密封止に信頼性を保証することができないものもある。

40 【0004】 このようなパッケージング方法の一例はKong等による米国特許第5,448,014号に記載

されている。しかしながら、Kong等の方法においては、2枚のウエハ間の距離を調節するために多層のスタンドオフが必要とされる。加えて、ウエハ各々に異なる材料を利用するという開示の方法では、開示のとおりに熱を用いてパッケージを製作すると材料の異なる熱膨張係数によって悪い結果が生じる可能性がある。

【0005】半導体上、又は半導体中のマイクロデバイスを非電気的に低温で気密封止することができる相対的に単純なプロセスが長い間求められて来た。さらに、標準的又は標準に近いプロセスであって、一般的な半導体研究施設や製造施設において現在利用されているプロセスを利用した方法が求められている。

【0006】さらに、既存の方法ではエポキシやグロメット、即ち封止リングをワイヤ周囲のスルーホールを使用することなくウエハパッケージ自体に電気導体を貫通させることができるウエハ対ウエハ封止が提供されなかつたため、過去においてはパッケージングされたデバイスへの電気接触を得ることは困難であった。以前の封止技術は、非常に小さく扱いにくいことに加え、封止中の配線導体の屈曲により封止が開き、リークを生じる可能性もあった。

【0007】

【課題を解決するための手段】本発明は、マイクロデバイスがベースウエハ上のボンディングパッドに接続しているマイクロキャップ・ウエハレベルパッケージを提供するものである。ベースウエハ上の周縁パッドはボンディングパッド及びマイクロデバイスを取り囲んでいる。キャップウエハの上にはガスケットが形成されている。ボンディングパッド・ガスケットはボンディングパッドの周縁に整合し、周縁パッド・ガスケットはベースウエハ上の周縁パッドに整合する。キャップウエハ中にはボンディングパッド・ガスケットの周界内に予め決められた深さにウェル（well）が形成されている。そのキャップウエハはベースウエハ上に配置され、ガスケットがパッドにボンディングされてボンディングパッド・ガスケットと周縁パッド・ガスケットとの間に気密封止容量が形成されている。キャップウエハは薄く削られ、

「マイクロキャップ」が形成される。マイクロデバイスを利用する装置の導体が接続できるように、マイクロキャップはウェルがパッケージ内ではあるが気密封止の外にあるボンディングパッドへと通じるスルーホールになるまで、基本的に予め決められた深さの下まで薄く削られる。この構成により、封止部材中に電気接続を通すことなくウエハレベルパッケージの気密封止に高い信頼性が保証されるのである。さらにこのプロセスによれば、マイクロキャップは原位置のままで形成されるので壊れやすいマイクロキャップをアセンブリ中に取り上げて扱うことが無いためにウエハを以前可能であったよりも薄くすることが可能になる。

【0008】本発明は、半導体デバイスを気密封止しつ

つウエハの一方を通じて電気的又は熱的接続を提供するウエハレベルのチップスケールパッケージ中に電気的又は機械的デバイスを設けるものである。

【0009】本発明はさらに、パッケージ自体を封止するウエハを介してデバイスへの電気接続を作ることが可能なウエハレベル・チップスケールパッケージ中にデバイスを設けるものである。

【0010】本発明はさらに、デバイスへの電気接続を、デバイスの封止と同時に別個に封止されるボンディングパッドへと通じるキャップウエハ中の開口を通じて作ることができるウエハレベル・チップスケールパッケージ中にデバイスを設けるものである。

【0011】本発明はさらに、ウエハレベルで気密封止を行う低温バッチプロセスを採用し、ベースウエハ上の標準的ボンディングパッドへの電気接続が可能なウエハレベル・チップスケールパッケージング技術を提供するものである。

【0012】本発明はさらに、高電圧又は高温を要さず半導体デバイスの気密封止を行う相対的に単純なプロセスを提供するものである。

【0013】本発明はさらに、代表的な半導体研究施設又は製造施設で採用される標準的プロセスや装置、又はそれに近いプロセスステップ及び装置を用いてウエハパッケージを製造する方法を提供するものである。

【0014】本発明の上記及び更なる利点は、添付図と共に以下の詳細説明を読むことにより、当業者に明らかとなる。

【0015】

【発明の実施の形態】まず、図1を参照すると、マイクロキャップ・ウエハレベルパッケージ10の断面図が示されている。マイクロキャップ・ウエハレベルパッケージ10は、例えば集積回路等の能動素子又はセンサなどの受動素子であるマイクロデバイス14が結合したベースウエハ12を含む。導電性リード線（図示せず）によりマイクロデバイス14に接続するボンディングパッド16、18は、ベースウエハ12にも結合している。ベースウエハ12の周縁には、ボンディングパッド16、18と同時に形成することができる周縁パッド20が設けられている。

【0016】キャップウエハ24とベースウエハ12上の周縁パッド20との間には周縁パッド封止部材、即ちガスケット22が設けられており、これが周縁パッド20へと冷間圧接ボンディングされることによりマイクロデバイス14の周囲に気密封止容量25が作られている。キャップウエハ24は電子的に非導電性材料又は単結晶シリコン等の高抵抗半導体材料から作ることができる。しかしながら、熱膨張係数の不整合に起因する問題を回避するためにベースウエハ12及びキャップウエハ24はいずれも同じ半導体材料から作成されていることが望ましい。

【0017】キャップウェハ24はその中にスルーホール26及び28を有し、これによりそれぞれボンディングパッド16及び18へのアクセスが得られている。スルーホール26、28は径が10～500μmであり、従来型のワイヤボンディングツールを通すことができるようになっている。ボンディングワイヤ30、32のような導体をそれぞれボンディングパッド16、18へとボンディングしてマイクロデバイス14への電気接続を作ることが可能である。ボンディングパッド封止部材、即ちガスケット34、36はボンディングパッド16、18それぞれの周縁にボンディングされ、ガスケット22は周縁パッド20へとボンディングされ、これにより気密封止容量25が形成される。気密封止容量25はマイクロデバイス14及びボンディングパッド・ガスケット34、36を包含するものである。また、マイクロデバイス14とボンディングパッド16、18との電気接続(図示せず)は気密封止容量25内にあり、いずれのガスケットも通過していない。

【0018】図示の実施例においては、ボンディングパッド16、18、ガスケット22、34、36及び周縁パッド20は金で形成される。しかしながら、本発明の範囲から離れることなく他の材料を利用することも可能である。例えば、シリコン、インジウム、アルミニウム、銅、銀、これらの合金及びこれらの化合物等のように相互にボンディングすることが可能な他の材料を利用することもできる。

【0019】次に、図2～図7を見ると、図1に示したマイクロキャップ・ウェハレベルパッケージ10の製造プロセスが示されている。以下の説明において、異なる図の中でも同様の部品には全て同じ定義及び同じ符号が適用されるものとする。

【0020】図2はキャップウェハ24を示す図である。スペッタリング又は蒸着等のプロセスを通じて導電性シード層48がキャップウェハ24のウエル側の面全体に形成される。この実施例においては、シード層48は金である。金は、最初に非常に薄い接着層(図示せず)をスペッタリングした後に成膜される。接着層はシード層48及びキャップウェハ24への接着性の良好な材料から成る。最良の態様においては、シード層48が金、キャップウェハ24がシリコンである場合、接着層はクロム、ニッケルクロム、チタン又はそれらの合金等の金属から成る。その後、金が接着層の上にスペッタリングによって堆積される。金の厚さは、例えば2000～3000Åである。接着層が使用されるのは、金自体ではシリコンに対して直接的に良好な接着が得られないためである。しかしながら、両層とも通常は従来の製造装置を利用して単一のスペッタリング又は蒸着処理において設けられる。

【0021】フォトレジスト層50が塗布され、従来のフォトリソグラフィープロセスにより露光、現像され

て、ガスケット22、34、36の形状を画定するパターン開口52が作成される。ガスケット22、34、36形成用のパターン作成には厚膜フォトレジスト・リソグラフィーを行うことが望ましい。標準的なフォトレジストでは形成される層が相対的に薄くなるため、より粘度の高い厚いフォトレジスト層50が必要である。必要に応じて厚いフォトレジスト層50を多層にして使用する。ガスケット22、34、36をバーニングするために用いるフォトレジストの厚さは、少なくともガスケット22、34、36の最終厚分はなければならない。

【0022】図3はシード層48を電極として利用して電気メッキ処理を行った後のキャップウェハ24を示したものである。ガスケットの導電性材料をフォトレジスト層50の開口52中、導電性のシード層48上に堆積する。その後フォトレジスト層50を従来のフォトレジスト剥離技術を利用して除去する。

【0023】図4においては、以前にはフォトレジスト層50の下にあった残りのシード層48を従来のエッチングプロセスによりエッチング除去する。ガスケット22、34、36は除去されるシード層48の厚み分、高さが低くなる。もう1枚の厚いフォトレジスト層54を形成し、ガスケット22、34、36を覆う。厚膜フォトレジスト・フォトリソグラフィーを利用してフォトレジスト層54をバーニング及び現像し、キャップウェハ24中のウエルをエッチングする領域を露出させる。

【0024】図5はエッチングされ、フォトレジスト層54が除去された後のキャップウェハ24を示す図である。キャップウェハ24の当初の厚みは、説明の便宜上200μmを超えるものとする。その後キャップウェハ24をエッチングしてウエル56、58を形成するが、これらの深さも説明の便宜上約100μmとする。ウエル56、58の形成にはドライエッチ等の従来のエッチングプロセスを利用することができる。そのようなドライエッチプロセスの1つには、シリコンのディープエッチングにおいて高アスペクト比のチャネル及びバイアをエッチング形成するために利用されるプラズマエッチプロセスがあげられる。このプロセスでは、エッチングプロセスとエッチングを施した壁にポリマーを堆積するプロセスとを交互に行うことと、アンダーカットを最低限に抑制する方法がとられている。このプロセスによれば、非常に深いエッチングがわずかなアンダーカットを生じただけで得られる。この目的はウエル56、58の深さが加工後のキャップウェハ24の最終厚を越える深さとなるように、十分に深くエッチングするところにある。キャップウェハ24の最終厚が100μm未満である場合、ウエル56、58の深さは100μm以上なければならない。

【0025】図6においては、キャップウェハ24は裏返されてベースウェハ12に整合させた状態にある。ベースウェハ12には従来の製造プロセスを利用してボン

ディングパッド16、18及び周縁パッド20が設けられている。簡単に述べると、ベースウエハ12上に接着層(図示せず)を成膜し、スパッタリング又は蒸着により導電性材料を堆積させる。フォトリソグラフィーによってパターニングを行い、不要の導電性材料をエッチング除去、そしてフォトレジストを除去する。他の手法においては、フォトリソグラフィーと接着層及び導電性材料層の形成を行い、その後フォトレジストと不要の導電性材料を除去してボンディングパッド16、18及び周縁パッド20を形成する。チャネル、即ちワイヤ(図示せず)によりベースウエハ12上のマイクロデバイス14をボンディングパッド16、18へと電気的に接続する。ガスケット34及び36は、ベースウエハ12上のボンディングパッド16及び18に、ボンディングパッド16、18の周縁にてそれぞれ接触し、ガスケット22は周縁パッド20と接触する。ボンディングワイヤ30、32を図1に示したようにボンディングするために十分な領域が各ガスケット34、36内に作られるように、ガスケット34、36はそれぞれ対応するボンディングパッド16、18の周縁に実質的に整合するように構成されている。

【0026】その後ベースウエハ12及びキャップウエハ24は位置合わせされ、350°C以下の温度下で冷間圧接が生じるまで圧接される。ガスケット34、36はそれらに対応するボンディングパッド16、18に融着し、同様にガスケット22も周縁パッド20に融着する。これにより完全に気密封止された容量25がマイクロデバイス14に提供される。

【0027】図7においては、気密封止が作られた後に従来のウエハ研削又はラッピング及び研磨技術によりキャップウエハ24が薄く削られ、ウエル56、58がスルーホール26、28になった状態にある。スルーホール26、28はマイクロキャップ24を貫通して伸びている。こうしてマイクロキャップ・ウエハレベルパッケージ10は、マイクロデバイスを利用する装置(図示せず)へと接続することができるようになる。電気接触は、ボールボンディング又はウェッジボンディング等の従来のボンディング技術を使ってボンディングワイヤ30、32をボンディングすることにより、ベースウエハ12上のボンディングパッド16、18へと作られる。このことには、ボンディングにより生じる力が相対的に厚いベースウエハ12へと印加されるという利点が含まれる。

【0028】次に図8～図10を参照すると、ここには図1に示したマイクロキャップ・ウエハレベルパッケージ10を他の態様の方法で製造した場合における様々な段階が示されている。

【0029】図8では、キャップウエハ24に従来のフォトリソグラフィー技術を用いてウエル56、58がパターニングされる。ここでも説明の便宜上、キャップウ

エハ24の当初の厚さが200μmを超えているものとする。次にキャップウエハ24にウエル56、58がエッチングされるが、ウエルの深さも説明の便宜上、約100μmとする。ウエル56、58の形成には、以前にも説明したような従来のエッチングプロセスを利用することができます。ここでも目的はウエル56、58の深さが加工後のキャップウエハ24の最終厚を越える深さとなるように、十分に深くエッチングするところにある。ウエル56、58の深さが100μmであった場合、最終的な厚さまで加工した時点でウエル56、58がスルーホールを形成することになるようにキャップウエハ24の最終厚は100μm未満でなければならない。

【0030】図9においては、スパッタリング等のプロセスによりシード層48がキャップウエハ24全体及びウエル56、58中に形成される。シード層48が金から成る場合、最初に非常に薄い接着層(図示せず)をスパッタリングした後にシード層48が堆積される。ここでも接着層は、クロム、ニッケルクロム、チタン又は他の金属等のように、シリコンであるキャップウエハ24及び金であるガスケット材料への接着性が良好な金属から形成される。その後接着層の上からスパッタリングにより金が堆積される。この金の厚さは、例えば2000～3000Åである。通常は、両層とも従来の製造装置を利用して単一のスパッタリング処理により形成される。

【0031】フォトレジスト層50もまた、従来のフォトリソグラフィープロセスで形成、露光及び現像され、ガスケット22、34、36の形状を画定するパターン開口52が作られる。ガスケット22、34、36形成用のパターンの作成には、厚膜フォトレジスト・リソグラフィーを利用することが望ましい。ガスケット22、34、36をパターニングするために用いるフォトレジストは、少なくともガスケット22、34、36の最終厚分の高さを持っていなければならない。さらに、厚膜フォトレジスト間に気泡が生じないように、ウエル56、68を埋めるために用いる層の数はできる限り少なくしなければならない。フォトレジストの厚さをキャップウエハ24表面上でより均等にするために、厚膜フォトレジストを多層としても良い。

【0032】図10は、シード層48を電極として利用して電気メッキを施した後のキャップウエハ24を示す図である。ガスケット22、34、36の導電性材料は、開口52中にフォトレジスト層50を通して露出した導電性のシード層48上に堆積される。その後フォトレジスト層50は従来のフォトレジスト剥離技術により除去される。

【0033】このようにしてキャップウエハ24を図6に示したように裏返してベースウエハ12へとボンディングすることができるようになり、その後は同様のプロセスが実施される。

【0034】次に図11を参照するが、ここにはキャップウエハ62が、ベースウエハ12上にある相対的に丈高、即ち厚いマイクロデバイス64を収容できるようにエッチングされているマイクロキャップ・ウエハレベルパッケージ60が描かれている。キャップウエハ62及びマイクロデバイス64間の間隙は、キャップウエハ62のマイクロデバイス64直上部分をエッチングする等で凹部66を画定するためのプロセスを追加することにより調節することができる。相対的に丈高のマイクロデバイス、又は可能な限り小さなパッケージに封止しなければならないマイクロデバイスを収容するための追加エッチングには、従来のドライエッチングプロセスを利用することが可能である。したがって、キャップウエハ62を薄く加工する処理は、凹部66近くまで実施されることになる。さらにこれによってガスケット22、34、36をマイクロデバイス64の厚さよりも短くすることができ、この結果、金等の材料の使用量が削減され、従来のフォトレジストのリソグラフィープロセスを採用することができるようになる。

【0035】次に図12を見ると、キャップウエハ72及びベースウエハ74を有するマイクロキャップ・ウエハレベルパッケージ70が示されている。ウエハはシリコン製であるため、これらに従来の半導体製造プロセスを用いてキャップウエハ72及び／又はベースウエハ74中にそれぞれ集積回路76、78を形成することは容易である。ガスケット34、36は導電性材料から成るため、導電性のシード層の一部を残すことにより、又はキャップウエハ72上にポリシリコンのチャネルを形成することにより、これらを介して集積回路76をポンディングパッド16、18へと電気的に接続することは容易にできる。ベースウエハ74中の集積回路78は、マイクロデバイス14と同様の方法で接続可能である。

【0036】キャップウエハ24とマイクロデバイス14との間には間隙を示した。本発明はデバイスを収容するためにそのような間隙が必要であるかないかにかかわらず利用可能である。例えば、センサ又はフィルタ等を含むアプリケーションの幾つかにおいては、デバイスを適正に作動させるためにはデバイス上に空間が必要である。同様に、加速計やプレッシャセンサ等、自由に動けることを必要とする機械装置や可動部品をデバイスが含む場合は間隙が必要である。また、例えば集積回路デバイスの場合、この間隙は必要無い。間隙の距離は、ガスケットのめつきの高さと、キャップウエハ24及びベースウエハ12を結合する際のガスケットの圧迫による印加圧力との組み合わせにより調整することが可能であり、したがって、多層ガスケットの必要性は無い。

【0037】本発明はウエハレベルでのパッケージングを必要とするあらゆる状況に適用可能である。本発明は、集積回路、フィルタ、プレッシャセンサ、加速計、多種にわたる機械的熱量計、及びその他のデバイスのパ

ッケージングに利用することができる。

【0038】本発明を、個々のマイクロキャップ・ウエハレベルパッケージを例に取って図示及び説明したが、説明した方法によれば同時に複数のマイクロキャップ・ウエハレベルパッケージのウエハレベルでの製造が可能であることは当業者に明らかである。説明したプロセスは所定のウエハ上にあるマイクロデバイス全てに対して適用可能である。パッケージングされたデバイスは、従来の方法で切断、即ちダイシングすることができ、気密にパッケージングされた個々のデバイスが提供される。

【0039】また、本発明は最良の実施態様である特定の実施例に基づいて説明したが、上述の説明に照らし、数多くの変更及び改変が当業者に明らかであることは言うまでもない。したがって、添付請求項に示す本発明の範囲は、そのような変更及び改変を全て含むことを意図したものである。本明細書の記載事項及び添付図に示した内容は全て説明目的のものであり、限定的な意味は持たないものと解釈される。

【図面の簡単な説明】

20 【図1】本発明に係る製造方法で得られるマイクロキャップ・ウエハレベルパッケージの断面図である。

【図2】本発明のマイクロキャップ・ウエハレベルパッケージの製造プロセスを示す図である。

【図3】本発明のマイクロキャップ・ウエハレベルパッケージの製造プロセスを示す図である。

【図4】本発明のマイクロキャップ・ウエハレベルパッケージの製造プロセスを示す図である。

【図5】本発明のマイクロキャップ・ウエハレベルパッケージの製造プロセスを示す図である。

30 【図6】本発明のマイクロキャップ・ウエハレベルパッケージの製造プロセスを示す図である。

【図7】本発明のマイクロキャップ・ウエハレベルパッケージの製造プロセスを示す図である。

【図8】本発明のマイクロキャップ・ウエハレベルパッケージの他の製造方法を示す図である。

【図9】本発明のマイクロキャップ・ウエハレベルパッケージの他の製造方法を示す図である。

【図10】本発明のマイクロキャップ・ウエハレベルパッケージの他の製造方法を示す図である。

40 【図11】大型の半導体デバイスを収容するために他の方法で加工した本発明のマイクロキャップ・ウエハレベルパッケージを示す図である。

【図12】一体型集積回路の他の配置を示す、本発明のマイクロキャップ・ウエハレベルパッケージの図である。

【符号の説明】

12 第一のウエハ（ベースウエハ）

14 マイクロデバイス

16 ボンディングパッド

20 周縁パッド

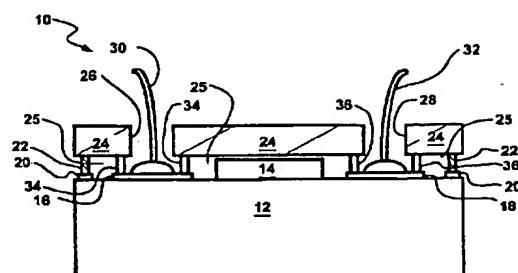
11

- 2 2 第二の封止部材（周縁パッド・ガスケット）
 2 4 第二のウエハ（キャップウエハ）
 2 5 気密封止容量
 3 4 第一の封止部材（ポンディングパッド・ガスケット）
 ト)
 4 8 シード層
 5 0 フォトレジスト

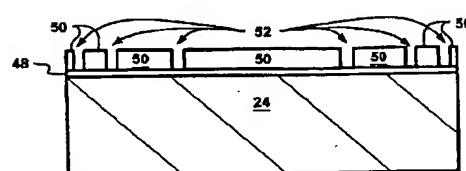
12

- 5 4 フォトレジスト
 5 6 ウエル
 6 6 凹部
 7 2 第一のウエハ
 7 4 第二のウエハ
 7 6、7 8 ウエハ中に形成したマイクロデバイス

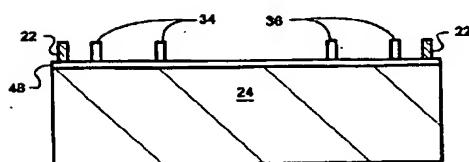
【図1】



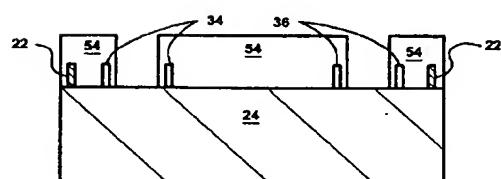
【図2】



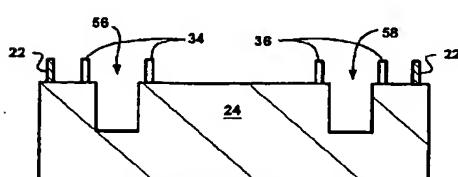
【図3】



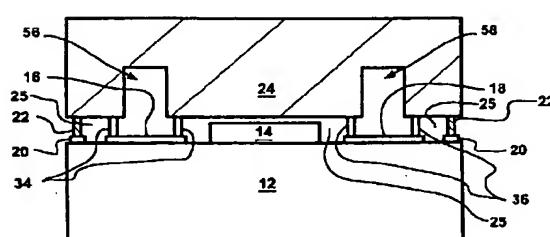
【図4】



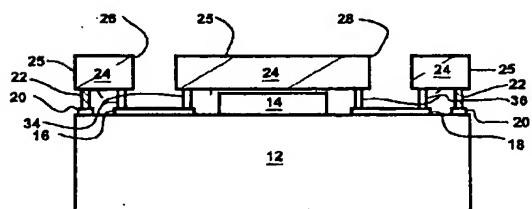
【図5】



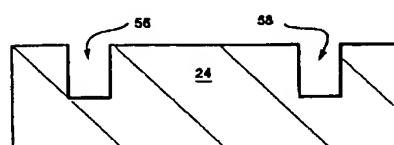
【図6】



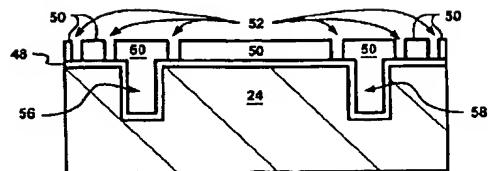
【図7】



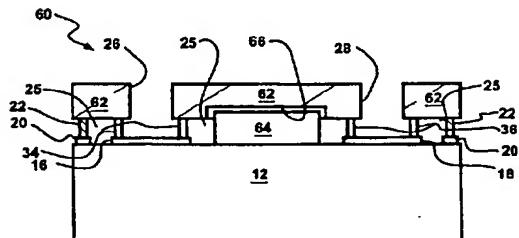
【図8】



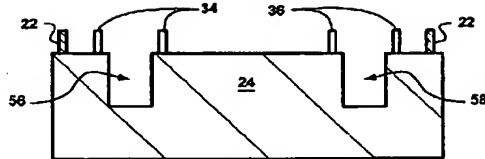
【図9】



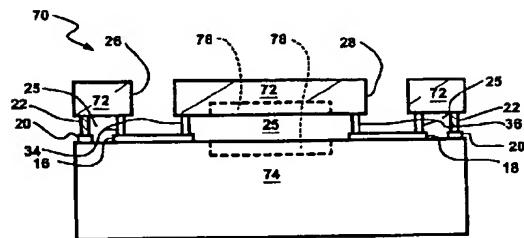
【図11】



【図10】



【図12】



フロントページの続き

(51) Int. Cl. 7
H O 1 L 25/18

識別記号

F I

テーマコード(参考)

(71) 出願人 399117121
 395 Page Mill Road P
 a lo Alto, California
 U. S. A.

(72) 発明者 トレイシー・イー・ベル
 アメリカ合衆国カリフォルニア州95008,
 キャンプベル, ダブリュ・リンコン・
 アベニュー 195, # 4

(72) 発明者 フランク・エス・ギーフェイ
 アメリカ合衆国カリフォルニア州95014,
 カッパーティーノ, サンダーランド・
 ドライブ 7961

(72) 発明者 ヨゲシュ・エム・デサイ
 アメリカ合衆国カリフォルニア州95132,
 サン・ジョゼ, メドウゲート・ウェ
 イ, 2202